

9 Il PLL: anello ad aggancio di fase

Il PLL (*Phase-Locked Loop*) è un circuito, le cui applicazioni sono descritte nel SOTTOPARAGRAFO 9.1, costituito da tre blocchi (FIGURA 1) che realizzano un sistema in retroazione negativa; essi sono:

- 1) **comparatore di fase** (*phase detector*): confronta la fase del segnale d'ingresso (φ_i) con quella del segnale d'uscita (φ_o) prodotto dal VCO; il segnale errore $v_e(t)$ in uscita dal comparatore di fase ha valore medio $V_{em}(t)$ proporzionale alla differenza tra le due fasi $\Delta\varphi = \varphi_i - \varphi_o$;
- 2) **filtro passa basso**: estrae il valore medio $V_{em}(t)$ del segnale errore $v_e(t)$, eliminandone le armoniche;
- 3) **VCO** (*Voltage Controlled Oscillator*): è un oscillatore che genera in uscita un segnale con frequenza f_o , proporzionale al valore della tensione in ingresso $V_{em}(t)$.

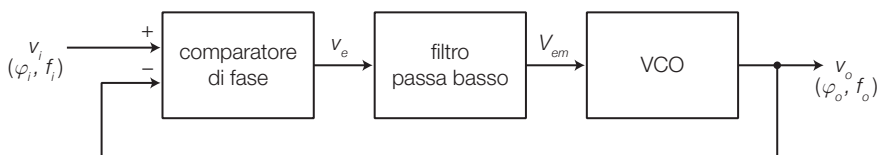


FIGURA 1 Schema a blocchi di un PLL.

Durante il suo funzionamento, a seconda del valore di f_i , il PLL può trovarsi in uno dei tre stati seguenti, individuabili nella caratteristica di trasferimento di FIGURA 2.

- a) **Stato di aggancio** (*lock* o *tracking*): se la frequenza f_i in ingresso ha un valore compreso in un certo intervallo, detto campo d'aggancio (*lock range*: $2f_L = f_L'' - f_L'$), la retroazione fa sì che la frequenza del segnale d'uscita, generato dal VCO, sia identica a quella in ingresso:

$$f_o = f_i$$

Tra i segnali v_i e v_o si ha ora una differenza di fase costante $\Delta\varphi$ che il comparatore e il filtro passa basso convertono nella tensione che pilota l'ingresso del VCO per mantenere f_o uguale a f_i .

Se f_i varia, il comparatore rivela lo sfasamento tra v_i e v_o e genera un segnale errore che, una volta filtrato, porta il VCO a uguagliare nuovamente la frequenza d'ingresso. Se f_i esce dal campo d'aggancio, si perde l'aggancio tra f_i e f_o e la frequenza d'uscita si porta al valore di *free run* (f_{fr}) del VCO.

- b) **Stato di non aggancio** (*free run*): se la frequenza del segnale d'ingresso è all'esterno del campo di aggancio ($2f_L$), il segnale d'uscita è indipendente da v_i e di frequenza pari a quella di *free run* del VCO ($f_o = f_{fr}$); il PLL rimane in questo stato finché f_i non rientra nel campo di cattura.

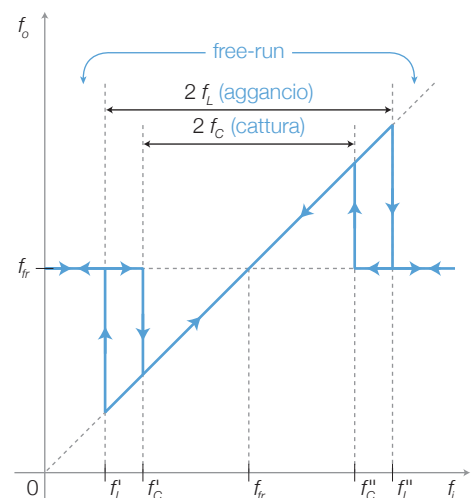


FIGURA 2 Caratteristica di trasferimento di un PLL.

c) **Stato di cattura** (*capture*): è la situazione transitoria che si verifica dopo che f_i dallo stato di *free run* è rientrata nel campo di cattura (*capture range*: $2f_c = f_c'' - f_c'$); grazie alla retroazione il VCO modifica la frequenza di uscita f_o fino a uguagliare quella d'ingresso f_i , raggiungendo così lo stato di aggancio.

Ricapitolando, per passare dallo stato di *free run* allo stato di aggancio, f_i deve entrare nel campo di cattura ($2f_c$), dopo di che il PLL rimane agganciato al segnale d'ingresso ($f_o = f_i$) finché la frequenza f_i non esce dal campo di aggancio ($2f_L$).

Esistono diverse soluzioni circuitali per realizzare i PLL, classificate in base al tipo di segnali da elaborare e alla modalità con cui vengono realizzati i blocchi:

- *analog* (o *linear*) *PLL* (LPLL): il comparatore di fase è un moltiplicatore analogico (mixer), il filtro passa basso è passivo o attivo, il VCO genera un segnale sinusoidale;
- *digital PLL* (DPLL): è un PLL analogico con un comparatore di fase digitale (XOR o flip-flop JK), il VCO genera onde rettangolari e l'anello può comprendere un divisore di frequenza;
- *all digital PLL* (ADPLL): il comparatore di fase, il filtro e il VCO sono digitali e si scambiano segnali costituiti da stringhe di bit;
- *software PLL* (SPLL): i blocchi funzionali sono implementati con moduli software.

Il comparatore di fase del PLL

► Il **comparatore di fase** (*phase detector*) fornisce in uscita una tensione con valor medio proporzionale alla differenza delle fasi dei segnali in ingresso.

Una **porta EXOR** (FIGURA 3A) rappresenta il più semplice comparatore di fase digitale, il cui funzionamento è il seguente (FIGURA 3B):

- in uscita dall'EXOR c'è un livello ALTO se gli ingressi hanno valore differente o BASSO se hanno uguale valore;
- se $f_o = f_i$ il segnale v_e in uscita dall'EXOR ha un duty cycle $\delta = \Delta\varphi/\pi$, proporzionale quindi allo sfasamento $\Delta\varphi$ tra i due segnali e il suo valor medio è dato da $V_{em} = \delta \cdot V_H$, dove V_H è la tensione corrispondente al livello ALTO; si ricava quindi la relazione tra valor medio e sfasamento:

$$V_{em} = \Delta\varphi \frac{V_H}{\pi} \quad (1)$$

- poiché il massimo valore del duty cycle è $\delta = 1$, il massimo sfasamento rilevabile dal comparatore a EXOR è $\Delta\varphi = \pi$ rad, di conseguenza la caratteristica di trasferimento è quella riportata in FIGURA 3C, da cui si deduce che il comparatore può essere utilizzato nell'intervallo $\Delta\varphi = 0 \div \pi$ rad, in cui la caratteristica ha andamento monotono e lineare;
- affinché il funzionamento del comparatore sia corretto è indispensabile che i segnali d'ingresso siano perfettamente squadrati ($\delta = 0,5$).

Si definisce *guadagno di conversione* K_φ del comparatore la pendenza della caratteristica di trasferimento, espressa in V/rad; nel caso del comparatore a EXOR si ha:

$$K_\varphi = \frac{V_H}{\pi} \quad (2)$$

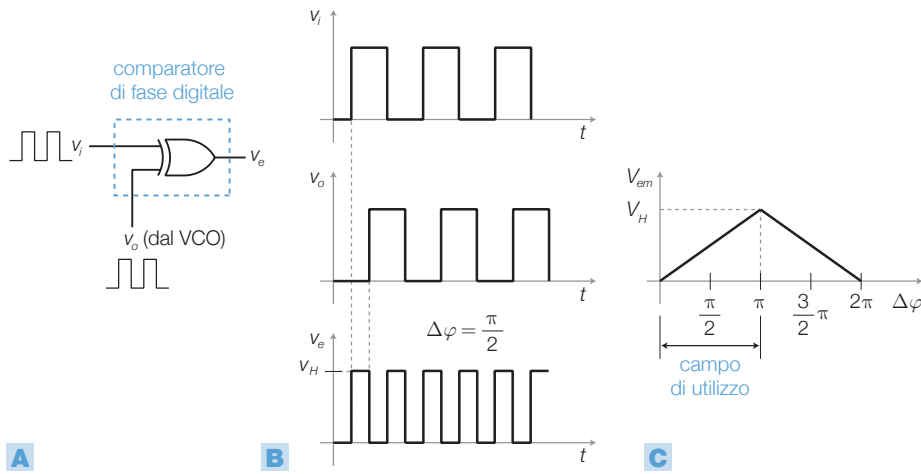


FIGURA 3
A) Comparatore di fase con EXOR. **B)** Tensioni di ingresso e di uscita nel caso particolare $\Delta\varphi = \pi/2$. **C)** Caratteristica di trasferimento.

Un comparatore di fase digitale può essere realizzato anche mediante un **latch SR** (FIGURA 4A), con il seguente funzionamento.

- I fronti di salita dei segnali d'ingresso (FIGURA 4B) fanno commutare l'uscita, il cui duty cycle risulta proporzionale a $\Delta\varphi$; con il latch SR si deve evitare la condizione $S = R = 1$.
- Il campo d'impiego è compreso nell'intervallo $\Delta\varphi = 0 \div 2\pi$ rad, in cui la caratteristica di trasferimento (FIGURA 4C) è lineare, ed è il doppio rispetto al caso precedente; ciò consente di allargare i campi di aggancio e di cattura del PLL.

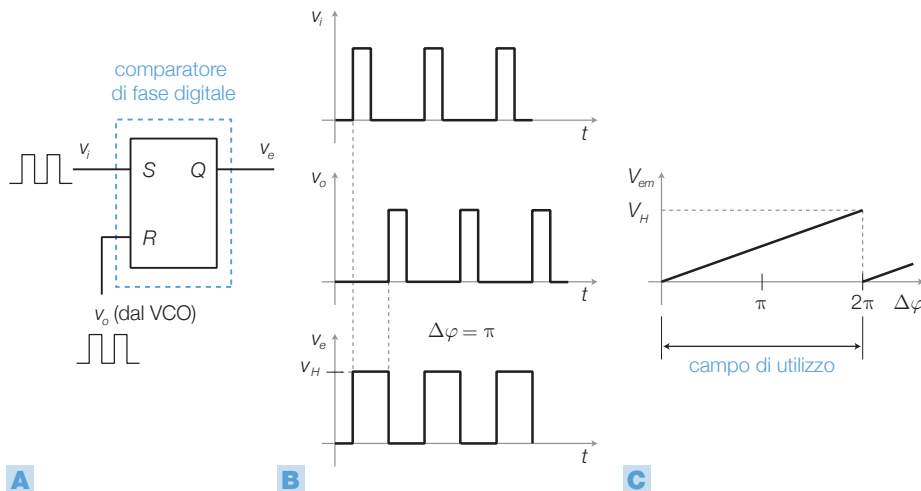


FIGURA 4 A) Comparatore di fase con latch SR. **B)** Tensioni di ingresso e di uscita nel caso $\Delta\varphi = \pi$. **C)** Caratteristica di trasferimento.

Nei **PLL analogici** (o lineari: LPLL) il comparatore di fase è realizzato con un **moltiplicatore**, cioè un circuito analogico (modulatore bilanciato o *mixer*) che effettua il prodotto tra i segnali (FIGURA 5A). La caratteristica di



trasferimento (FIGURA 5B) tra la tensione V_{em} a valle del filtro passa basso e la differenza $\Delta\varphi$ delle fasi dei segnali d'ingresso, ha un andamento cosinusoidale ($V_{em} = K\cos\Delta\varphi$), che approssima quello lineare solo nell'intorno del valore $\Delta\varphi = \pi/2$ rad.

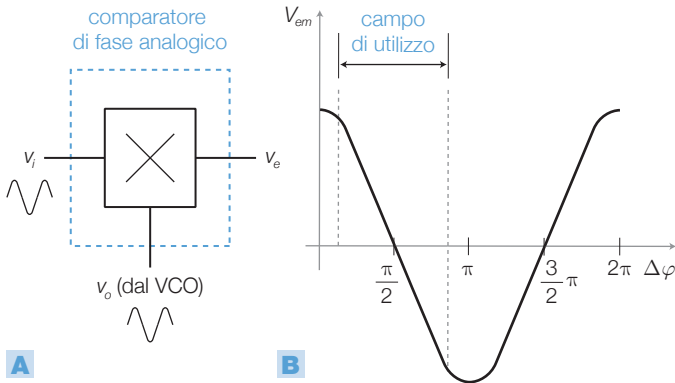


FIGURA 5 **A**) Comparatore di fase analogico con moltiplicatore (*mixer*).
B) Caratteristica di trasferimento.

Il filtro passa basso

Il filtro svolge le seguenti funzioni:

- estrae il valor medio dal segnale $v_e(t)$ in uscita dal comparatore di fase, eliminando le armoniche ed eventuali disturbi sovrapposti;
- determina i campi di cattura e di aggancio, che aumentano al crescere della larghezza di banda del filtro;
- controlla il comportamento dinamico del PLL (larghezza di banda e velocità di risposta alle variazioni della f_i).

In genere si impiegano i filtri del 1° ordine in FIGURA 6 che, in condizioni ideali d'adattamento, hanno pulsazioni di taglio rispettivamente:

$$\omega_t = \frac{1}{RC} \quad \text{e} \quad \omega_t = \frac{1}{(R_1 + R_2)C} \quad (3)$$

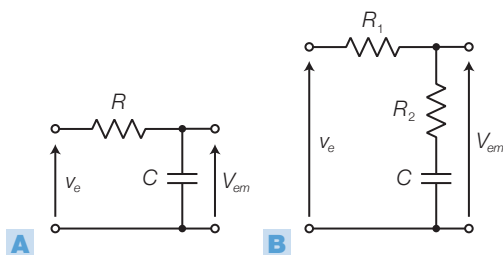


FIGURA 6 Filtri passa basso per PLL:
A) con un polo; **B**) con polo e zero.

La risposta del PLL

La *funzione di trasferimento* $T(s)$ del PLL si ricava considerando come grandezza d'ingresso la fase $\varphi_i(t)$ del segnale in ingresso al comparatore e come grandezza d'uscita la fase $\varphi_o(t)$ del segnale in uscita al VCO; la *f.d.t.* risulta di tipo passa basso del 2° ordine, con pulsazione naturale data da:

$$\omega_n = \sqrt{K_\varphi K_o \omega_t} \quad (4)$$

e smorzamento:

$$\xi = \frac{1}{2} \sqrt{\frac{\omega_t}{K_\varphi K_o}} \quad (5)$$

dove:

$$\omega_t = \frac{1}{RC} \quad (6)$$

rappresenta la pulsazione di taglio del filtro passa basso RC , mentre K_φ e K_o sono le costanti del comparatore e del VCO.

Nel caso del filtro con polo e zero di FIGURA 6B, preferito per le applicazioni a banda stretta, le espressioni di ω_n e ξ sono:

$$\omega_n = \sqrt{K_\varphi K_o \omega_t} \quad \text{dove} \quad \omega_t = \frac{1}{(R_1 + R_2)C} \quad (7)$$

$$\xi = \frac{\omega_n}{2} \left(R_2 C + \frac{1}{K_\varphi K_o} \right) \approx \frac{\omega_n}{2} R_2 C \quad (8)$$

La pulsazione di taglio a -3 dB con entrambi i filtri è data da:

$$\omega_{-3\text{dB}} = \omega_n \sqrt{1 - 2\xi^2 + \sqrt{(1 - 2\xi^2)^2 + 1}} \quad (9)$$

Si osservi che i valori della pulsazione naturale ω_n e dello smorzamento ξ (e di conseguenza della larghezza di banda $\omega_{-3\text{dB}}$) del sistema sono dipendenti dalla pulsazione di taglio ω_t del *filtro passa basso*.

Il PLL quindi, come tutti i sistemi del 2° ordine, se $\xi < 0,7$ ha le risposte in ampiezza (in funzione della frequenza) e al gradino (in funzione del tempo) oscillanti, per cui a una variazione della frequenza d'ingresso f_i (da f_1 a f_2) il PLL risponde modificando la frequenza d'uscita f_o con andamento oscillatorio smorzato, fino a raggiungere la nuova situazione di regime con $f_o = f_i = f_2$ (FIGURA 7).

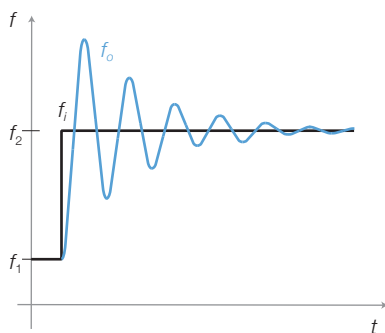


FIGURA 7 Risposta nel tempo di un PLL, oscillante se $\xi < 0,7$, a una variazione a gradino della frequenza di ingresso.

Nel progetto di un PLL bisogna considerare che la larghezza di banda del filtro, e quindi del sistema, influenza il funzionamento nel modo seguente:

- una **banda larga** riduce il tempo di assestamento delle oscillazioni, rendendo rapida la risposta del sistema, in modo che l'uscita possa seguire le

rapide variazioni della frequenza d'ingresso; ciò è utile, per esempio, nella realizzazione di demodulatori FM (si veda il prossimo paragrafo);

- una **banda stretta** rende il sistema meno sensibile alle rapide variazioni della fase del segnale d'ingresso, consentendo l'eliminazione di modulazioni di fase indesiderate (*dejitteratore*); altre applicazioni a banda stretta sono l'estrazione di una portante da un segnale modulato, la rigenerazione di un segnale degradato e la moltiplicazione di frequenza.

Generalmente lo smorzamento viene fissato nell'intervallo $0,5 \leq \xi \leq 0,8$, tenendo presente che un valore basso di ξ migliora la velocità di risposta (breve tempo di assestamento) ma aumenta l'overshoot.

PROCEDIMENTO Il **progetto del PLL** si svolge nel modo seguente: fissato ξ e supponendo note le caratteristiche del comparatore di fase (K_φ) e del VCO (K_o), dalla FORMULA 5 (con filtro RC) si ricava ω_t e quindi, scelto un valore di C , si ricava R dalla (6).

9.1 Applicazioni del PLL

Il PLL è impiegato in varie applicazioni: demodulazione di segnali FM e FSK, estrazione della portante per demodulazioni coerenti (DSB, SSB), moltiplicatori e sintetizzatori di frequenza, rigenerazione di segnali soggetti a disturbi di fase (*jitter*) ecc.

Si descrive ora l'impiego del PLL come demodulatore FM/FSK e come moltiplicatore di frequenza.

Demodulatori FM e FSK

La funzione del demodulatore di frequenza è quella di estrarre da un segnale modulato FM (*Frequency Modulation*) il segnale modulante che reca l'informazione, associato alle variazioni della frequenza del segnale FM: la tensione in uscita dal demodulatore deve quindi essere proporzionale alla frequenza del segnale in ingresso.

Si impiega un PLL analogico (FIGURA 8), prelevando l'uscita tra il filtro e il VCO, con il seguente funzionamento:

- il PLL, nello stato d'aggancio, tende a mantenere la frequenza in uscita dal VCO uguale a quella d'ingresso ($f_o = f_i$);
- essendo la frequenza all'uscita del VCO proporzionale alla tensione al suo ingresso (V_{em}), quest'ultima risulta proporzionale alla frequenza del segnale d'ingresso (f_i);
- il segnale V_{em} rappresenta quindi la modulante associata al segnale d'ingresso modulato FM.

La configurazione in FIGURA 8 può anche essere impiegata per demodulare segnali FSK (*Frequency Shift Keying*), in cui la portante sinusoidale è modulata in frequenza da un segnale digitale: questa volta la tensione V_{em} varia tra i due valori associati ai valori logici 0 e 1.

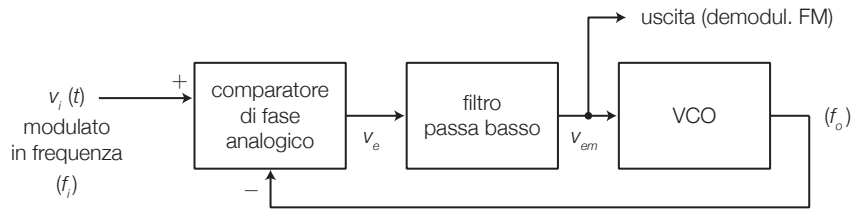


FIGURA 8
PLL analogico come
demodulatore FM/FSK.

Moltiplicatore di frequenza

Inserendo un divisore per N nel ramo di retroazione è possibile ottenere in uscita una frequenza N volte più grande di quella in ingresso; aggiungendo anche un divisore per M sull'ingresso (FIGURA 9) la frequenza in uscita vale:

$$f_o = f_i \frac{N}{M} \quad (10)$$

pari alla frequenza d'ingresso moltiplicata per il rapporto tra i moduli dei contatori.

DIMOSTRAZIONE Il PLL, nello stato d'aggancio, tende a mantenere uguali le frequenze all'ingresso del comparatore, quindi:

$$\frac{f_i}{M} = \frac{f_o}{N}$$

da cui si ricava la FORMULA 10.

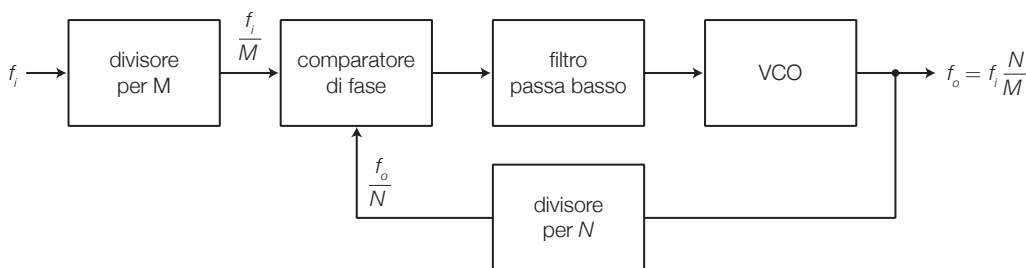
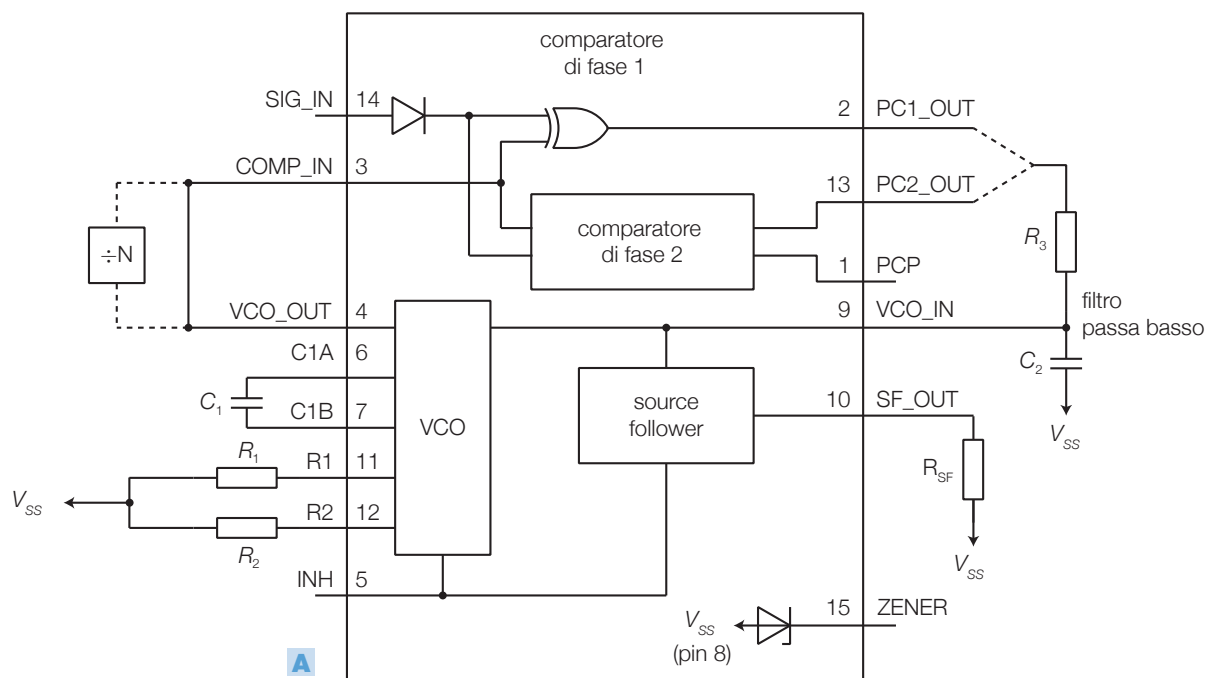


FIGURA 9 Struttura di un moltiplicatore/sintetizzatore di frequenza con PLL.

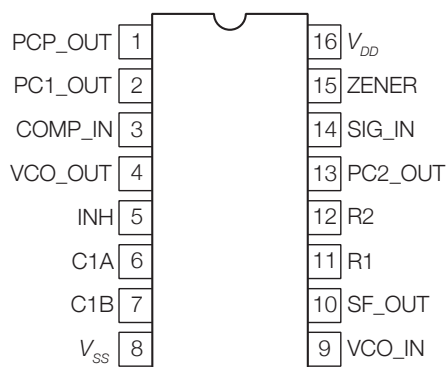
In questo modo si realizza un **sintetizzatore di frequenza**: generando il segnale d'ingresso con un oscillatore al quarzo, la cui frequenza è stabile e precisa, dalla FORMULA 10 si deduce che è possibile produrre segnali a frequenze differenti, dotati della stessa stabilità e precisione, semplicemente modificando il modulo dei contatori (programmabili). La programmazione dei contatori, e quindi la determinazione della frequenza d'uscita, può essere fatta manualmente oppure mediante un microcontrollore.

9.2 Il PLL integrato 4046

Tra i vari PLL integrati sul mercato, si descrive il PLL digitale in tecnologia CMOS 4046, di cui si riportano in FIGURA 10 lo schema a blocchi e il pin-out. L'alimentazione può essere singola ($V_{SS} = 0$ e $5 \leq V_{DD} \leq 15$) o duale.



A



B

FIGURA 10 PLL integrato 4046: **A**) schema a blocchi; **B**) pin-out.

Tra i PLL analogici integrati si ricorda il 565, di cui si riportano i data sheets in appendice.

All'interno del 4046 sono compresi un VCO e due comparatori di fase digitali, i cui ingressi e uscite sono disponibili all'esterno; il filtro passa basso va realizzato all'esterno.

I **due comparatori** hanno le seguenti caratteristiche.

- 1) *Comparatore I* (uscita v_e sul pin 2): è costituito da una porta EXOR e quindi richiede segnali d'ingresso con duty cycle pari al 50% (condizione rispettata dall'uscita del VCO).
- 2) *Comparatore II* (uscita v_e sul pin 13): è di tipo edge-triggered (detto anche a larga banda) sensibile ai fronti positivi sugli ingressi; il funzionamento è il seguente:
 - se $f_i < f_o$, l'uscita del comparatore v_e è a livello BASSO (V_{ss}), il che provoca la scarica del condensatore del filtro (C_2) e quindi la diminuzione di f_o ;

- se $f_i > f_o$, v_e ha livello ALTO (V_{DD}) e quindi C_2 si carica causando l'aumento di f_o ;
- se $f_i = f_o$ con $\Delta\varphi = \varphi_i - \varphi_o > 0$ (v_i in anticipo su v_o), sull'uscita v_e si ha un treno d'impulsi positivi con duty cycle proporzionale a $\Delta\varphi$, fino al raggiungimento della condizione $\Delta\varphi = 0$;
- se $f_i = f_o$ con $\Delta\varphi = \varphi_i - \varphi_o < 0$ (v_i in ritardo su v_o), su v_e si ha un treno d'impulsi negativi con duty cycle proporzionale a $\Delta\varphi$, fino al raggiungimento della condizione $\Delta\varphi = 0$;
- se $f_i = f_o$ con $\Delta\varphi = 0$ (segnali d'ingresso con stessa frequenza e in fase) l'uscita del comparatore II va in alta impedenza (*HiZ*), il che impedisce a C_2 di modificare la tensione ai suoi capi, mantenendo costante quella all'ingresso del VCO. Nella condizione d'aggancio lo sfasamento tra v_i e v_o è sempre nullo.

Il comparatore di fase I potrebbe bloccarsi su una frequenza multipla, poiché è sensibile alle componenti armoniche del segnale d'ingresso; ciò non avviene con il comparatore II.

Per entrambi i comparatori il campo di aggancio coincide con il campo di frequenze generabili dal VCO ($2f_L = f_{\max} - f_{\min}$); il campo di cattura per il comparatore II coincide con quello d'aggancio ($2f_C = 2f_L$), mentre per il comparatore I dipende dal filtro passa basso (come descritto nei data sheets).

Il **VCO**: la massima frequenza raggiungibile in uscita del VCO dipende dal valore della tensione d'alimentazione:

- $V_{DD} = 5\text{ V} \rightarrow f_{\max} = 0,8\text{ MHz}$;
- $V_{DD} = 10\text{ V} \rightarrow f_{\max} = 1,2\text{ MHz}$;
- $V_{DD} = 15\text{ V} \rightarrow f_{\max} = 1,6\text{ MHz}$.

I resistori R_1 , R_2 e il condensatore C_1 fissano i valori limite delle frequenze generate dal VCO (f_{\min} e f_{\max}) e di conseguenza i campi di cattura e d'aggancio; la variazione di frequenza tra f_{\min} e f_{\max} si ottiene variando la tensione d'ingresso del VCO tra V_{SS} e V_{DD} .

PROCEDIMENTO

Il **dimensionamento di R_1 , R_2 e C_1** , come descritto nella sezione *design information* dei data sheets del 4046, si effettua nel modo seguente.

- 1) Si consigliano per R_1 e R_2 valori compresi nel range da 10 k Ω a 1 M Ω , mentre per C_1 da 50 pF in su.
- 2) **VCO senza offset in frequenza** ($f_{\min} = 0$) (FIGURA 11A):
 - dati V_{DD} e f_0 (frequenza centrale), determinare R_1 e C_1 mediante il grafico in (FIGURA 12A);
 - si ha $f_{\max} = 2f_0$, corrispondente al campo d'aggancio.

3) VCO con offset in frequenza ($f_{\min} \neq 0$) (FIGURA 11B):

- dati V_{DD} , f_0 (frequenza centrale) e $2f_L$ (campo d'aggancio), calcolare f_{\min} con l'equazione: $f_{\min} = f_0 - f_L$;
- usare f_{\min} con il grafico in FIGURA 12B per determinare R_2 e C_1 ;
- calcolare $\frac{f_{\max}}{f_{\min}} = \frac{f_0 + f_L}{f_0 - f_L}$;
- usare f_{\max}/f_{\min} con il grafico in FIGURA 12C per determinare R_2/R_1 e ricavare R_1 .

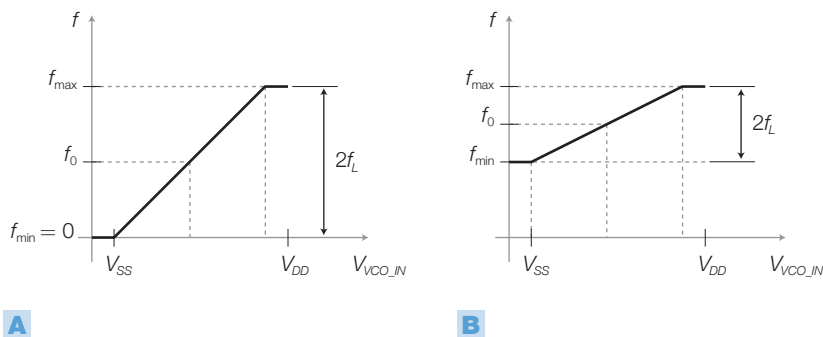
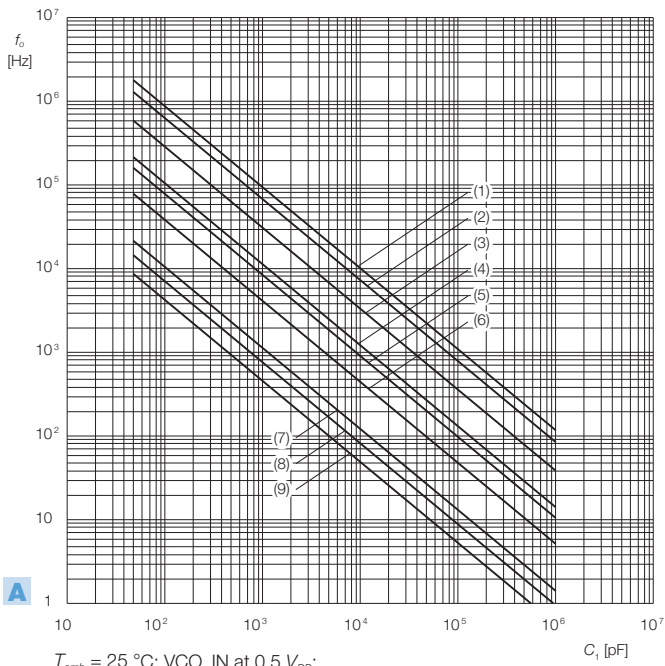


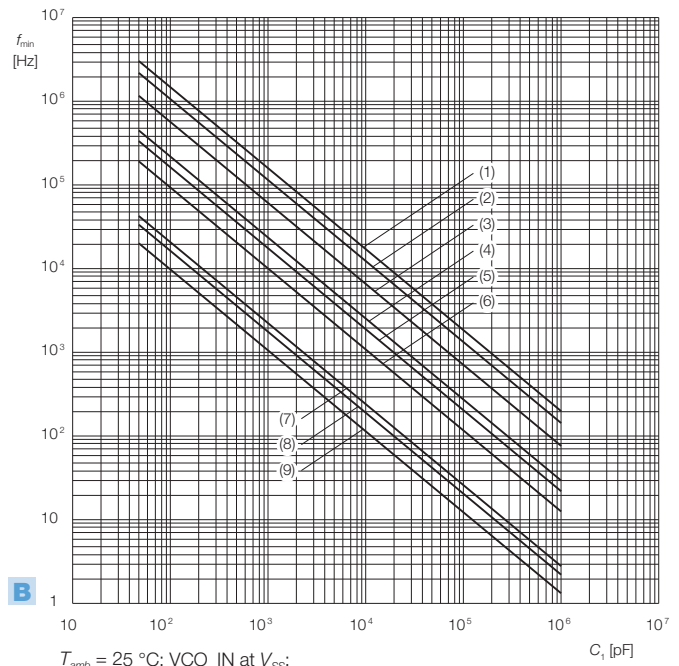
FIGURA 11 Caratteristica del VCO:

A) senza offset in frequenza ($f_{\min} = 0$); **B)** con offset in frequenza.



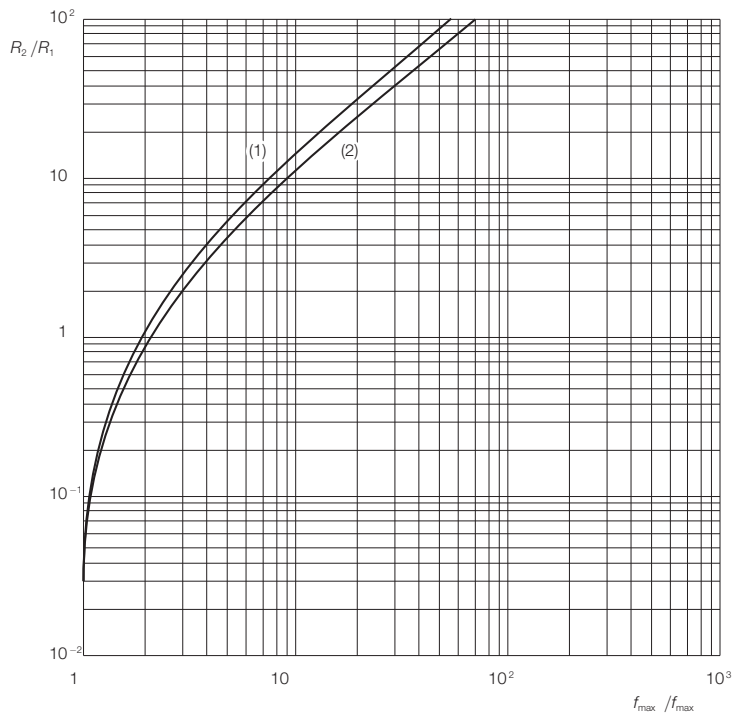
A

$T_{amb} = 25\text{ }^{\circ}\text{C}$; VCO_IN at $0.5 V_{DD}$;
 INH_IN at V_{SS} ; $R_2 = \infty$.
 Lines (1), (4), and (7): $V_{DD} = 15\text{ V}$;
 Lines (2), (5), and (8): $V_{DD} = 10\text{ V}$;
 Lines (3), (6), and (9): $V_{DD} = 5\text{ V}$;
 Lines (1), (2), and (3): $R_1 = 10\text{ k}\Omega$;
 Lines (4), (5), and (6): $R_1 = 100\text{ k}\Omega$;
 Lines (7), (8), and (9): $R_1 = 1\text{ M}\Omega$.



B

$T_{amb} = 25\text{ }^{\circ}\text{C}$; VCO_IN at V_{SS} ;
 INH_IN at V_{SS} ; $R1 = \infty$.
 Lines (1), (4), and (7): $V_{DD} = 15\text{ V}$;
 Lines (2), (5), and (8): $V_{DD} = 10\text{ V}$;
 Lines (3), (6), and (9): $V_{DD} = 5\text{ V}$;
 Lines (1), (2), and (3): $R_2 = 10\text{ k}\Omega$;
 Lines (4), (5), and (6): $R_2 = 100\text{ k}\Omega$;
 Lines (7), (8), and (9): $R_2 = 1\text{ M}\Omega$.



C

Line (1): $V_{DD} = 5\text{ V}$;
 Line (2): $V_{DD} = 10\text{ V}, 15\text{ V}$.

FIGURA 12 Grafici tratti dal data sheet del 4046, per il dimensionamento di R_1 , R_2 e C_1 .

È possibile visualizzare mediante un LED gli stati d'aggancio e di non aggancio del PLL, mediante il circuito in FIGURA 13; il funzionamento è il seguente.

- **Stato di aggancio:** il pin 1 (PCP, *Phase Comparator Pulses*) è a livello ALTO quindi l'uscita del NOR1 è BASSA e quella del NOR2 è ALTA, per cui il LED è acceso.
- **Stato di non aggancio:** sui pin 1 e 2 sono presenti degli impulsi e di conseguenza anche l'uscita del NOR1 risulta impulsiva. La tensione sul condensatore è ALTA, a causa del diodo che impone una costante di tempo di scarica molto superiore a quella di carica. L'uscita del NOR2 è BASSA e quindi il LED è spento.

Quando l'integrato non è utilizzato, per contenere il consumo, è possibile disabilitare il VCO portando ALTO il pin 5 (INH, *Inhibit*); l'integrato contiene un diodo Zener da 7 V che può essere impiegato per stabilizzare la tensione di alimentazione.

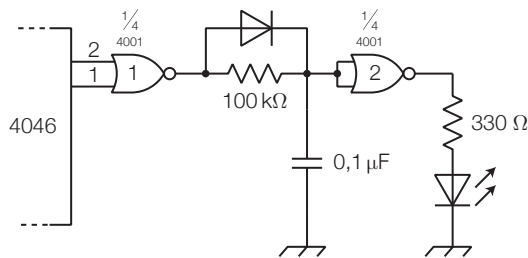


FIGURA 13 Circuito rivelatore di aggancio per il PLL integrato 4046.

ESEMPIO 1

Dimensionare i componenti di un moltiplicatore di frequenza per 16, con il PLL integrato 4046, in grado di ricevere segnali d'ingresso con frequenza compresa nell'intervallo $100 \text{ Hz} \leq f_i \leq 1 \text{ kHz}$. La tensione d'alimentazione vale 5 V.

SOLUZIONE

Poiché la frequenza d'ingresso deve essere moltiplicata per un numero intero, si realizza il circuito in FIGURA 14 ottenuto dallo schema a blocchi di FIGURA 9 inserendo il solo divisore per N ($N = 16$), per esempio il contatore/divisore CMOS 4029. Nel circuito è stato inserito il filtro passa basso con polo e zero di FIGURA 10B.

Il VCO deve essere in grado di generare frequenze comprese nell'intervallo $1,6 \div 16 \text{ kHz}$, perché la frequenza d'ingresso viene moltiplicata per 16.

Per il dimensionamento dei componenti si segue il procedimento esposto sopra, tenendo conto che è richiesto un offset di frequenza ($f_{\text{min}} \neq 0$).

La frequenza minima che deve produrre il VCO vale 1,6 kHz.

Seguendo la linea 6 nel grafico di FIGURA 12B si rileva che, con $V_{DD} = 5 \text{ V}$ e $R_2 = 100 \text{ k}\Omega$, scegliendo $C_1 = 10 \text{ nF}$, si ottiene $f_{\text{min}} \approx 1 \text{ kHz}$, opportunamente inferiore al valore 1,6 kHz.

Si calcola il rapporto:

$$\frac{f_{\text{max}}}{f_{\text{min}}} = \frac{16000}{1000} = 16$$

in corrispondenza al rapporto calcolato, sulla linea 1 del grafico in FIGURA 12C si rileva:

$$\frac{R_2}{R_1} \approx 30$$

da cui si ricava:

$$R_1 = \frac{R_2}{30} = \frac{100 \cdot 10^3}{30} = 3,3 \text{ k}\Omega$$

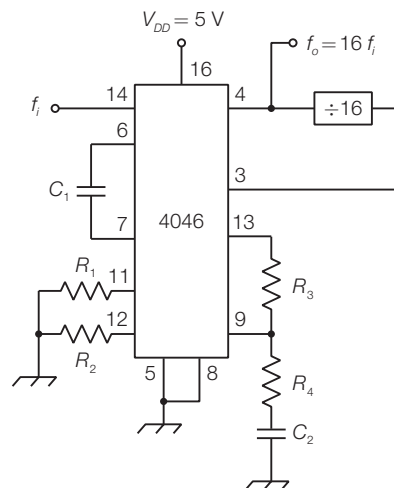


FIGURA 14